PROJECT SATU PERANCANGAN SISTEM KENDALI

“VERIFIKASI SIMULINK”

MENGGUNAKAN ANALISIS TRANSIEN DARI RANGKAIAN PEMUATAN KAPASITOR DENGAN RLC



DISUSUN OLEH:

Herry Sulfian (D411 11 314)

A. Dahsyat Armanda (D411 11 107)

D411 11 314

**TKKE**

JURUSAN ELEKTRO FAKULTAS TEKNIK

UNIVERSITAS HASANUDDIN

MAKASSAR

2014

**PROJECT 1**

**VERIFIKASI SIMULINK**

**MENGGUNAKAN ANALISIS TRANSIEN DARI RANGKAIAN RLC SERI PADA PEMUATAN KAPASITOR**

1. **PENDAHULUAN**

Di dalam suatu perancangan sistem khususnya sistem kendali, terdapat 2 unsur penting yaitu pengendali (CONTROLLER) dan kendalian (PLANT). Kedua unsur ini saling berinteraksi memberikan suatu perintah berupa isyarat kendali dan feedback. Dan sudah pasti tujuan dari perancangan tersebut adalah menghasilkan keluaran (output) yang diinginkan. Dalam suatu pengendalian (PLANT) terdapat dua istilah penting yaitu Validasi dan Verifikasi. Validasi adalah melakukan pengamatan secara fisik seperti membuat prototype alat dan langsung melakukan pengujian secara nyata. Sedangkan verifikasi adalah melakukan pengamatan secara nonfisik seperti membuat analisis dan melakukan simulasi menggunakan bantuan software.

Metode validasi adalah sistem pengamatan yang paling benar karena berdasarkan kenyataan dilapangan sehingga hasil yang diperoleh dapat secara langsung dijadikan kesimpulan atas berhasil tidaknya sebuah perancangan yang dilakukan. Namun, metode verifikasi juga dapat digunakan sebagai bukti bahwa sistem yang digunakan berhasil dengan membuat simulasi dengan software berdasarkan teori yang dimiliki.

Teori tersebut dapat diasumsikan sebagai pembanding dari hasil yang didapatkan pada simulasi menggunakan software. Hasil yang didapatkan oleh teori bersifat lebih eksak dibandingkan proses simulasi menggunakan software. Hal ini dikarenakan teori didapatkan berdasarkan hasil dari percobaan – percobaan yang nyata, sedangkan *software*-lah yang menggunakan teori tersebut untuk melakukan simulasi.

Pada saat melakukan verifikasi, semua data yang digunakan haruslah sama dengan yang di uji pada teori. Hasil dari verifikasi ini akan menentukan seberapa besar *eror point* yang dilakukan. Semakin kecil *eror* yang didapatkan maka dapat dikatakan tahap simulasi telah berhasil.

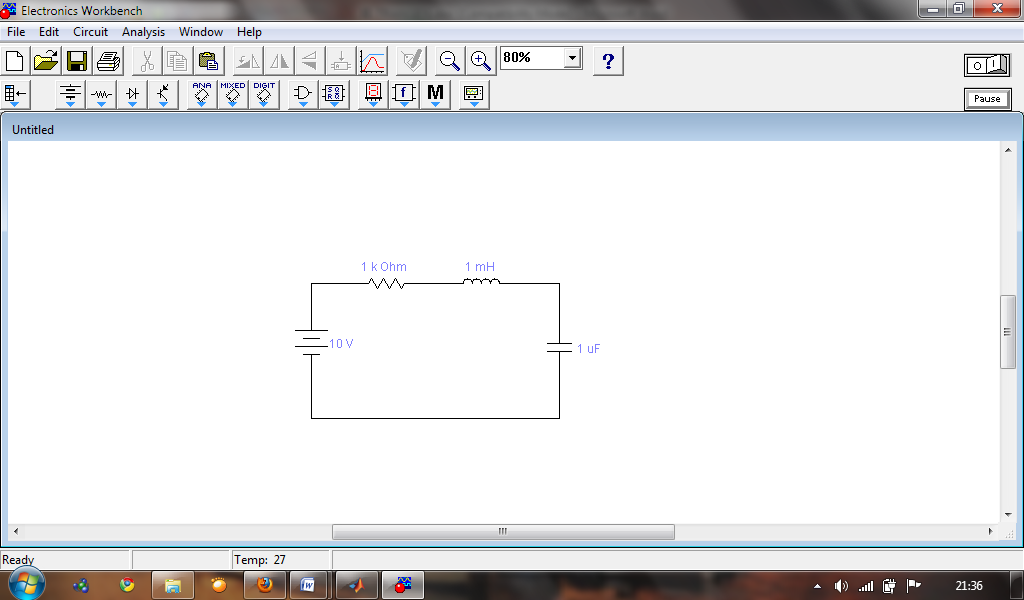
1. **PERUMUSAN MASALAH**

**Secara Teori**

Pada project 1 kali ini verifikasi simulink yang akan dilakukan adalah pada proses pemuatan kapasitor menggunakan rangkaian RLC seri menggunakan analisis transien. Secara detail model yang di simulasikan seperti di bawah ini:

R L

V



Vi(t)

C

t

Vi(t) = 10 u(t)

10

Dengan:

L = 3 digit stambuk terakhir mitra 1 dari (D41111314), maka (314 )

C = 3 digit stambuk terakhir mitra 2 dari (D41111107), maka (107 )

R = diambil dari 3 kasus:

* Kasus 1 R {}
* Kasus 2 R {}
* Kasus 3 R {}

Pada proses pemuatan kapasitor menggunakan rangkaian RLC seri, diperoleh rumus persamaan ruang keadaan:

..........(1)

Dimana,

..........(2) ..........(4)

..........(3) ..........(5)

Dengan 3 kemungkinan:

1. ) adalah over damped
2. adalah critical damped
3. adalah under damped

Dengan menggunakan persamaaan Laplace ketiga kasus diatas dapat ditransformasikan kedalam bentuk:

1. Kasus 1 ..........(6)
2. Kasus 2 ..........(7)
3. Kasus 3 ..........(8)
4. **LANGKAH KERJA**

**Penyelesaian Teori**

Besarnya nilai (t) dapat diketahui dengan terlebih dahulu menyelesai-kan persamaan (5). Variabel yang diketahui adalah (t) = 10 volt, L= 314 mH, dan C = 107 µF.

Berdasarkan persamaan (5), dapat diperoleh nilai R sebagai berikut:

Berarti nilai ???????